

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-98022

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 M 7/14

H 0 3 M 7/14

B

9/00

9/00

A

H 0 4 L 25/49

H 0 4 L 25/49

A

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号

特願平9-258025

(22) 出願日

平成9年(1997) 9月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 和之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

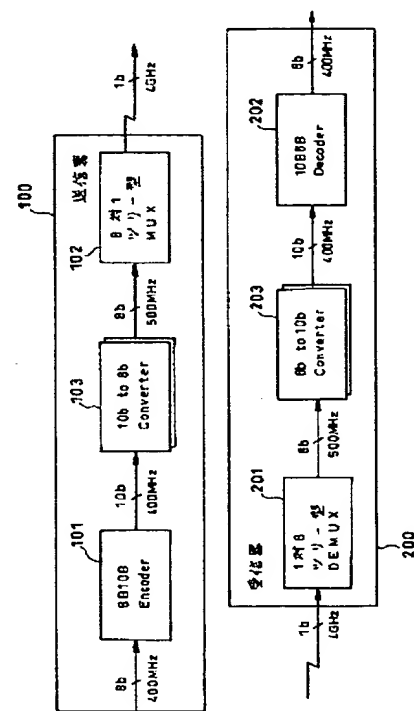
(54) 【発明の名称】 パラレルーパラレル変換回路並びにこれを用いたパラレルーシリアル変換回路及びシリアルーパラレル変換回路

(57) 【要約】

【課題】 高速なシリアル通信回路に用いて好適なパラレルーパラレル変換回路を実現する。

【解決手段】 ツリー型MUX/DEMUX回路とコーディング回路との間に、パラレルーパラレル変換回路103、203を設ける。これら変換回路103、203は、入力ビット数と入力周波数との積と、出力ビット数と出力周波数との積とが同じになるような変換機能を有する。例えば、10ビットで400Mbpsの信号を8ビットで500Mbpsの信号に変換することができる。

【効果】 この回路を用いることで、高速なツリー型MUX回路及びDEMUX回路と、8ビット10ビットのエンコーディング回路及びデコーディング回路とを組合わせて、高速なシリアル通信回路を構成できる。



【特許請求の範囲】

【請求項1】 所定周波数を有する m ビットの入力信号を、前記所定周波数の m/n 倍（ n 、 m は共に正の整数、以下同じ）の周波数を有する n ビットの出力信号に変換するパラレルーパラレル変換回路であって、 n 及び m のいずれか一方が2以上の2の乗数であることを特徴とするパラレルーパラレル変換回路。

【請求項2】 m と n との公倍数に等しい数のレジスタから構成される保持手段と、入力される m ビットの信号を入力周波数で前記保持手段を構成するレジスタに書き込む書き込み手段と、前記保持手段を構成するレジスタから前記周波数の m/n 倍の周波数で n ビットの信号を讀出す讀出し手段とを含むことを特徴とするパラレルーパラレル変換回路。

【請求項3】 前記書き込み手段によって前記保持手段を構成するレジスタに書き込むタイミングと、前記讀出し手段によって前記保持手段を構成するレジスタから讀出すタイミングとが互いに異なるように制御する制御手段とを含むことを特徴とする請求項2記載のパラレルーパラレル変換回路。

【請求項4】 前記制御手段は、前記保持手段の入力側に設けられた入力レジスタと、前記入力周波数を n 分周する n 分周手段と、前記保持手段の出力側に設けられた出力レジスタと、前記入力周波数を m 分周する m 分周手段とを含み、前記書き込み手段は前記 n 分周手段の n 分周出力によって前記入力レジスタの保持内容を前記保持手段を構成するレジスタに書き込み、前記讀出し手段は前記 m 分周手段の m 分周出力によって前記保持手段を構成するレジスタの保持内容を前記出力レジスタに讀出すことを特徴とする請求項2又は3記載のパラレルーパラレル変換回路。

【請求項5】 請求項1～4のいずれかに記載のパラレルーパラレル変換回路と、このパラレルーパラレル変換回路の出力である2の乗数ビットのパラレル信号をシリアル信号に変換するパラレルーシリアル変換回路とを含むことを特徴とするパラレルーシリアル変換回路。

【請求項6】 請求項1～4のいずれかに記載のパラレルーパラレル変換回路と、シリアル信号を2の乗数ビットのパラレル信号に変換して前記パラレルーパラレル変換回路に与えるシリアルーパラレル変換回路とを含むことを特徴とするシリアルーパラレル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパラレルーパラレル変換回路並びにこれを用いたパラレルーシリアル変換回路及びシリアルーパラレル変換回路に関し、特に光通信等のシリアル通信回路に用いるパラレルーパラレル変換回路並びにこれを用いたパラレルーシリアル変換回路及びシリアルーパラレル変換回路に関する。

【0002】

【従来の技術】光通信等のシリアル通信においては、信号に冗長ビットを付加し、連続するハイレベルや、連続するローレベルを避け、また、ハイレベルとローレベルとの割合を一定に保つ符号化を行うのが一般的である。よく用いられるのは、8B10Bと呼ばれるコーディングである。このコーディングでは、8ビット（以下、 b と略す）のデータを10 b のデータに変換して伝送する。受信側では、再び、受信した10 b のデータを8 b のデータに復号する。

【0003】図10には、以上述べたような、従来のシリアル通信を実現する回路構成が示されている。同図では、8 b で400MHzの信号をシリアル伝送する場合が示されている。8 b で400MHzの入力信号は、まず送信器100において8B10Bエンコーディング回路101により、10 b で400MHzの信号へ変換される。その後、10 b の信号を、10倍の周波数の1 b の信号へ、10 b 入力1 b 出力（10対1）マルチプレックス（MUX）回路102により変換する。伝送されるシリアルデータ信号は、4Gbpsとなる。

【0004】受信器200側では、受信したシリアル信号を1 b 入力10 b 出力（1対10）デマルチプレックス（DEMUX）回路201により10 b で400MHzの信号へ変換する。さらに、10B8B復号（デコード）回路202により、8 b で400MHzの原信号を再生する。

【0005】図10に示されている従来の方式では、シリアル信号へ変換されるパラレル信号の単位は10 b 単位となる。したがって、シリアル信号への変換に、10対1のMUX回路102や、1対10のDEMUX回路201が必要となる。

【0006】図11には、4GHzで動作する1対10のDEMUX回路102の従来例が示されている。同図においては、まず4Gbpsのシリアル信号を、DF/F102-1～102-10からなり4GHzで動作するシフトレジスタに順次格納していく。そして、400MHzのクロックでそのレジスタの出力をDF/F102-11～102-20に取込み、out0～out9によるパラレル信号に変換する。この図11に示されている回路では、4GHzで動作すべき回路素子が多く、また、4GHzのクロック入力が必要とする回路がほとんどで、タイミング設計も難しい。

【0007】一方、図12に示されている回路は、高速のシリアルーパラレル変換に用いられるツリー型DEMUX回路である。これは、1対2DEMUX回路を用いて入力信号を次々と2分配していくことで、シリアル信号をパラレル信号に変換する回路である。この回路は図11の回路に比べて、高速動作しなければならない回路素子が少なく済むのが特徴である。すなわち、設計が容易で、かつ高速動作を実現することができる。

【0008】

【発明が解決しようとする課題】しかるに、図11に示されている高速ツリー型DEMUX回路は、1入力2出力を基本とする1対2DEMUX回路を用いているために、2の n 乗出力しか得られない。よって、出力として可能なのは、2b、4b、8b、16、32b等の2以上の2の乗数となる。したがって、前述のコーディングにより、10bとなった信号を出力することはできない。

【0009】よって、図11に示されている1対10のデマルチプレクサや、1対5と1対2のデマルチプレクサの組合わせて図10のようなシリアル受信回路を構成しなければならなかった。また、これらの状況は、パラレル信号をシリアル信号へ変換する送信側回路でも同様であり、2対1のマルチプレクサ(MUX)のツリー型構成では、2の n 乗入力しか入力できない。

【0010】このように、シリアル通信回路において、最も動作周波数が高く、高速動作が要求されるDEMUX/MUX回路部には図12に示されている高速で単純な構成の2進ツリー型を使いたいという要請がある。しかし、実際のシステム応用を考えると、使用できないという欠点があった。

【0011】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は高速なシリアル通信回路に用いて好適なパラレルーパラレル変換回路並びにこれを用いたパラレルーシリアル変換回路及びシリアルーパラレル変換回路を提供することである。

【0012】

【課題を解決するための手段】本発明によるパラレルーパラレル変換回路は、所定周波数を有する m ビットの入力信号を、前記所定周波数の m/n 倍(n 、 m は共に正の整数、以下同じ)の周波数を有する n ビットの出力信号に変換するパラレルーパラレル変換回路であって、 n 及び m のいずれか一方が2以上の2の乗数であることを特徴とする。

【0013】本発明による他のパラレルーパラレル変換回路は、 m と n との公倍数に等しい数のレジスタから構成される保持手段と、入力される m ビットの信号を入力周波数で前記保持手段を構成するレジスタに書込む書込み手段と、前記保持手段を構成するレジスタから前記周波数の m/n 倍の周波数で n ビットの信号を読出す読出し手段とを含むことを特徴とする。

【0014】本発明によるパラレルーシリアル変換回路は、上記のパラレルーパラレル変換回路と、このパラレルーパラレル変換回路の出力である2の乗数ビットのパラレル信号をシリアル信号に変換するパラレルーシリアル変換回路とを含むことを特徴とする。

【0015】本発明によるシリアルーパラレル変換回路は、上記のパラレルーパラレル変換回路と、シリアル信号を2の乗数ビットのパラレル信号に変換して前記パラレルーパラレル変換回路に与えるシリアルーパラレル変

換回路とを含むことを特徴とする。

【0016】本発明のパラレルーパラレル変換回路は、ツリー型MUX/DEMUX回路とコーディング回路との間に設ける。この回路は、入力ビット数と入力周波数との積と、出力ビット数と出力周波数との積とが同じとなるような変換機能を有するものである。例えば、10bで400Mbpsの入力を、8bで500Mbpsの信号へ変換することができる。この回路を用いることで、高速なツリー型MUX及びDEMUX回路と、8B10Bのエンコーディング回路及びデコーディング回路とを組合わせて、高速なシリアル通信回路を構成することができるようになる。

【0017】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。

【0018】図1は本発明によるパラレルーパラレル変換回路の実施の一形態を示すブロック図である。同図において、本実施形態によるパラレルーパラレル変換回路は、8bと10bとの公倍数である40bのビット幅を持つ公倍数レジスタ10と、公倍数レジスタ10への入力セクタ(1入力5出力)11と、出力レジスタへの出力セクタ(4入力1出力)12とからなる。

【0019】かかる構成において、入力セクタ11によって、8bの入力信号を、500MHzで順次格納する。出力側では、出力セクタ12によって、10bずつ400MHzで選択し、後述する出力レジスタへ格納する。

【0020】このとき、公倍数レジスタ10へのデータの格納は、図1中の入力セクタ11側に記載されている①～⑤の順番で、10bずつ行われる。一方、公倍数レジスタ10からのデータの読出しは、8b単位で、図1中の出力セクタ12側に記載されている①～④の順番で行われる。

【0021】すなわち、入力側のセクタ11と出力側のセクタ12との選択切替えタイミングを、公倍数レジスタ10が1巡選択される周期(図1中では100MHz:10ns)の半周期分ずらすのである。図1中では現在選択されている部分が太線で示され、選択されていない部分が破線で示されている。このように順次選択することで、同一のレジスタへの書込みと読出しとが、同じタイミングで行われることがなくなり、各レジスタへの広いタイミングマージンを確保することができる。

【0022】ここで、図1のパラレルーパラレル変換回路の利用例について、図2を参照して説明する。同図は、図1のパラレルーパラレル変換回路を利用した送信器及び受信器の内部構成例を示すブロック図である。

【0023】同図に示されているように、送信器100側及び受信器200側に、上述した本発明のパラレルーパラレル変換回路を夫々設ける。このとき、送信器100側では、8B10Bエンコード(符号)回路101と

8対1ツリー型MUX回路102との間に、10bから8bへの変換回路103を設ける。また、受信器200側では、1対8ツリー型デマルチプレックス(DEMUX)回路201と10B8Bデコード(復号)回路202との間に、8bから10bへの変換回路203を設ける。なお、同図においては、8bで400MHzの信号をシリアル伝送する場合が示されている。

【0024】かかる構成において、送信器100では、8bで400MHzの入力信号は、まず、8B10Bエンコーディング回路101により、10bで400MHzの信号に変換される。その後、この10bの信号を、8b出力で、かつ、周波数が入力周波数の8分の10倍、すなわち500MHzの信号へ、変換回路103で変換する。このように、ビット数が2の乗数へ変換できるので、この8bで500MHzの信号を、8b入力のツリー型MUX回路102に入力し、1bで4Gbpsのシリアル信号を得ることができる。

【0025】一方、受信側でも同様に、受信したシリアル信号を1b入力8b出力(1対8)のツリー型DEMUX回路201により、8bで500MHzの信号へ変換する。そして、これを変換回路203により、10bで400MHzの信号へ変換する。この10bとなった信号は、10B8Bデコード回路202に入力され、8bで400MHzの原信号が再生される。このように、本発明のバラレルーバラレル変換回路を用いることにより、ツリー型DEMUX/MUX回路と、8B10Bエンコーディング/10B8Bデコーディング回路とを両立させることができる。よって、高速なシリアル通信用LSIを実現できるのである。

【0026】ここで、図2中の送信器100に着目すると、バラレルーバラレル変換回路103と、このバラレルーバラレル変換回路103の出力である2の乗数ビットのバラレル信号をシリアル信号に変換するバラレルーシリアル変換回路であるツリー型MUX回路102とが接続されていることになる。これにより、任意のビット数のバラレル信号を2の乗数ビットのバラレル信号に変換し、これを更にシリアル信号に変換するバラレルーシリアル変換回路が構成されることになる。

【0027】また、図2中の受信器200に着目すると、シリアル信号を2の乗数ビットのバラレル信号に変換するシリアルーバラレル変換回路であるツリー型DEMUX回路201と、バラレルーバラレル変換回路203とが接続されていることになる。これにより、シリアル信号を2の乗数ビットのバラレル信号に変換し、これを更に任意のビット数のバラレル信号に変換するシリアルーバラレル変換回路が構成されることになる。

【0028】次に、図1のバラレルーバラレル変換回路のより詳細な構成について図3～図9を参照して説明する。

【0029】まず、図3を参照すると、バラレルーバラ

レル変換回路は、公倍数レジスタ10と、この公倍数レジスタ10に格納すべきデータ(8b×500MHz)を一時保持する入力レジスタ110及び公倍数レジスタ10に格納タイミングを示すクロックφ1～φ5を与えるクロック発生回路(図示せず)を含むセクタ11とを含んで構成されている。またバラレルーバラレル変換回路は、公倍数レジスタ10から出力されるデータ(10b×400MHz)を一時保持する出力レジスタ120と、公倍数レジスタ10からレジスタ120へのデータの入力を制御するための3ステートバッファ121-1～121-4と、この3ステートバッファ121-1～121-4の制御タイミングを示すクロックφ1～φ4を与えるクロック発生回路(図示せず)とを含むセクタ11を含んで構成されている。

【0030】公倍数レジスタ10は、本例では8bと10bとの公倍数である40個のDFFを含んで構成されている。そして、入力レジスタ110に格納されているデータは、そのDFFのD入力(データ入力)側から格納される。また、公倍数レジスタ10のQ出力(データ出力)側から出力レジスタ120への出力タイミングは、3ステートバッファ121-1～121-4をクロックφ1～φ4で制御することにより行われる。なお、同図において、図1と同等部分は同一符号により示されている。

【0031】3ステートバッファ121-1～121-4は、そのコントロール端子に、対応するクロックφ1～φ4が入力されている。そして各3ステートバッファは、対応するクロックφ1～φ4が“H”のときに導通状態となり、対応するクロックφ1～φ4が“L”のときに高インピーダンス状態になるものとする。

【0032】かかる構成からなるバラレルーバラレル変換回路の動作について、図4を参照して説明する。同図において、10nsは2ns×5cycleであるから、500MHzのクロックφ500の一周期は2nsである。また、10nsは2.5ns×4cycleであるから、400MHzのクロックφ400の一周期は2.5nsである。

【0033】同図に示されているように、500MHzのクロックφ500を基に5種類のクロックφ1～φ5を作成する。すなわち、各クロックφ1～φ5は、位相が互いに異なり、このクロックφ1～φ5を用いて公倍数レジスタ10にデータを順次保持するのである。

【0034】また、400MHzのクロックφ400を基に4種類のクロックφ1～φ4を作成する。すなわち、各クロックφ1～φ4は、位相が互いに異なり、このクロックφ1～φ4を用いて公倍数レジスタ10からデータを順次読出すのである。

【0035】次に、クロックφ1～φ5及びクロックφ1～φ4を作成するための回路構成について図5～図9

を参照して詳細に説明する。なお、図5～図9において、同等部分は同一符号により示されている。

【0036】図5は、図3及び図4中のクロック $\phi 1 \sim \phi 5$ 及びクロック $\psi 1 \sim \psi 4$ を作成するクロック発生回路の構成を示す回路図である。同図において、クロック発生回路は、2GHzのクロックを入力とする5分周器51及び4分周器54と、5分周器51の出力を入力とする ψ クロック発生回路52と、4分周器54の出力を入力とする ϕ クロック発生回路53とを含んで構成されている。

【0037】かかる構成において、入力される2GHzのクロックは、5分周器51において5分周され、400MHzのクロック $\psi 400$ が出力される。この400MHzのクロック $\psi 400$ は ψ クロック発生回路52に入力される。 ψ クロック発生回路52からは、互いに位相の異なるクロック $\psi 1 \sim \psi 4$ が出力される。

【0038】また、2GHzのクロックは、4分周器54において4分周され、500MHzのクロック $\phi 500$ が出力される。この500MHzのクロック $\phi 500$ は ϕ クロック発生回路53に入力される。 ϕ クロック発生回路53からは、互いに位相の異なるクロック $\phi 1 \sim \phi 5$ が出力される。

【0039】なお、リセット信号resetの入力によって ψ クロック発生回路52及び ϕ クロック発生回路53は同時にリセットされる。

【0040】次に、図5中の5分周器51の内部構成例について図6を参照して説明する。同図に示されているように、5分周器51は、3段のレジスタ(Reg)51-1～51-3を含んで構成されており、その2段目のレジスタ51-2の出力と3段目のレジスタ51-3の出力とをナンドゲート51-4に入力し、その出力を1段目のレジスタ51-1に入力している。かかる構成により、周知の5分周器が構成され、その出力がインバータ51-7～51-9を介して出力されるのである。なお、各レジスタ51-1～51-3にはインバータ51-5及び51-6を介してクロックが入力されている。

【0041】次に、図5中の ψ クロック発生回路52の内部構成例について図7を参照して説明する。同図に示されているように、 ψ クロック発生回路52は、4段接続されたレジスタ52-1～52-4を含んで構成されており、その各段からクロック $\psi 1 \sim \psi 4$ を導出している。

【0042】レジスタ52-1～52-4の各入力側には、ナンドゲート52-6～52-9が設けられ、その各ナンドゲートの入力的一方にはレジスタ52-5の出力であるリセット信号が印加されている。このため、リセット信号resetの入力によって ψ クロック発生回路52内のレジスタ52-1～52-4は同時にリセットされる。

【0043】なお、同図中の52-10～52-26はインバータである。インバータ52-25及び52-26を介してクロックが入力され、各レジスタレジスタ52-1～52-5に入力される。

【0044】次に、図5中の ϕ クロック発生回路53の内部構成例について図8を参照して説明する。同図に示されているように、 ϕ クロック発生回路53は、5段接続されたレジスタ53-1～53-5を含んで構成されており、その各段からクロック $\phi 1 \sim \phi 5$ を導出している。

【0045】レジスタ53-1～53-5の各入力側には、ナンドゲート53-7～53-11が設けられ、その各ナンドゲートの入力的一方にはレジスタ53-6の出力であるリセット信号が印加されている。このため、リセット信号resetの入力によって ϕ クロック発生回路53内のレジスタ53-1～53-5は同時にリセットされる。

【0046】なお、同図中の53-12～53-31はインバータである。インバータ53-30及び53-31を介してクロックが入力され、各レジスタレジスタ53-1～53-6に入力される。

【0047】次に、図5中の4分周器54の内部構成例について図9を参照して説明する。同図に示されているように、4分周器54は、DFF54-1及び54-2を含んで構成されている。そして、DFF54-1、54-2において、夫々反転Q出力をD入力に接続することにより、周知のTFFと同等の回路を構成する。そして、この構成されたTFFが2段接続されているので、1段目で2分周され、これが2段目でさらに2分周され、結局4分周されるのである。

【0048】以上、図5～図9を参照して説明した回路を用いて図3の回路を制御すれば、任意のビット数のパラレル信号を他のビット数のパラレル信号に変換することのできるパラレルーパラレル変換回路を構成することができるのである。そして、上記のパラレルーパラレル変換回路とパラレルーシリアル変換回路とを組み合わせれば、任意のビット数のパラレル信号を高速にシリアル信号に変換することのできるパラレルーシリアル変換回路を実現することができる。また、上記のパラレルーパラレル変換回路と、この入力に出力を与えるシリアルーパラレル変換回路とを組み合わせれば、シリアル信号を高速に任意のビット数のパラレル信号に変換することのできるシリアルーパラレル変換回路を実現することができる。

【0049】

【発明の効果】以上説明したように本発明は、所定周波数を有するmビットの入力信号を、前記所定周波数のm/n倍の周波数を有するnビットの出力信号に変換するパラレルーパラレル変換回路において、n及びmのいずれか一方を2以上の2の乗数とすることにより、高速な

シリアル通信回路に用いて好適なパラレルーパラレル変換回路並びにこれを用いたパラレルーシリアル変換回路及びシリアルーパラレル変換回路を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるパラレルーパラレル変換回路の構成を示すブロック図である。

【図2】図1のパラレルーパラレル変換回路を利用した送信器及び受信器の内部構成例を示すブロック図である。

【図3】図1のパラレルーパラレル変換回路のより詳細な構成を示すブロック図である。

【図4】図3のパラレルーパラレル変換回路の動作を示すタイムチャートである。

【図5】図3及び図4中の各クロックを作成するクロック発生回路の構成を示す回路図である。

【図6】図5中の5分周器の内部構成例を示す回路図である。

【図7】図5中の ψ クロック発生回路の内部構成例を示す回路図である。

【図8】図5中の ϕ クロック発生回路の内部構成例を示す回路図である。

す回路図である。

【図9】図5中の4分周器の内部構成例を示す回路図である。

【図10】従来のシリアル通信を実現するための回路構成を示すブロック図である。

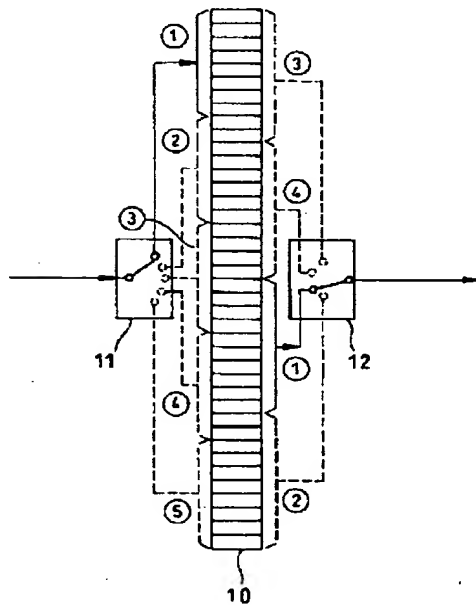
【図11】図10中の1対10DEMUX回路の構成例を示すブロック図である。

【図12】高速のシリアルーパラレル変換に用いられるツリー型DEMUX回路の構成例を示すブロック図である。

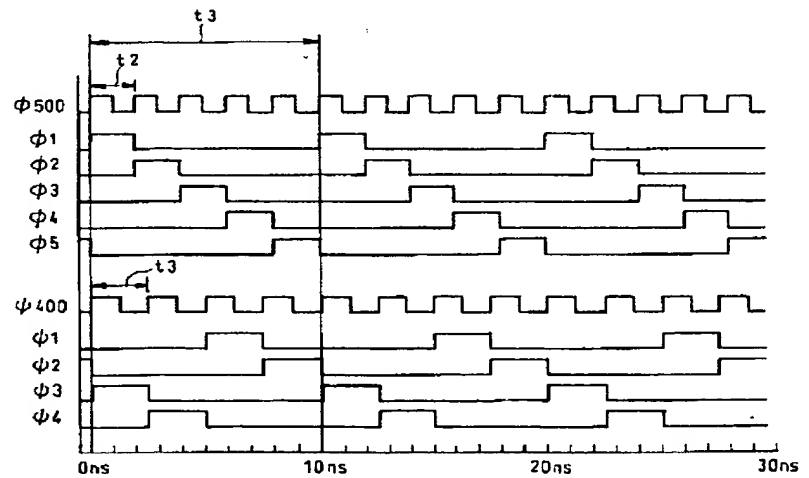
【符号の説明】

- 10 公倍数レジスタ
- 11 入力セクタ
- 12 出力セクタ
- 100 送信器
- 101 8B10Bエンコード回路
- 102 8対1ツリー型MUX回路
- 103、203 変換回路
- 200 受信器
- 201 1対8ツリー型DEMUX回路
- 202 10B8Bデコード回路

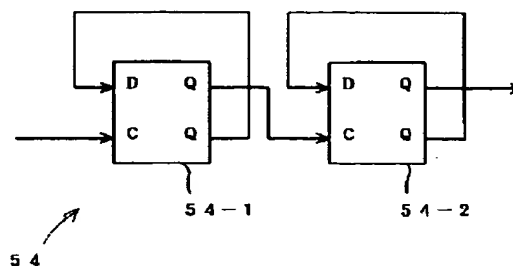
【図1】



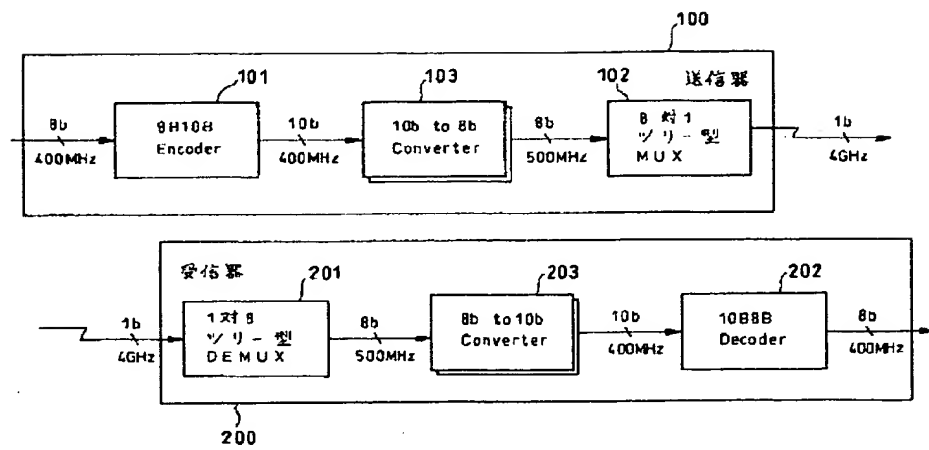
【図4】



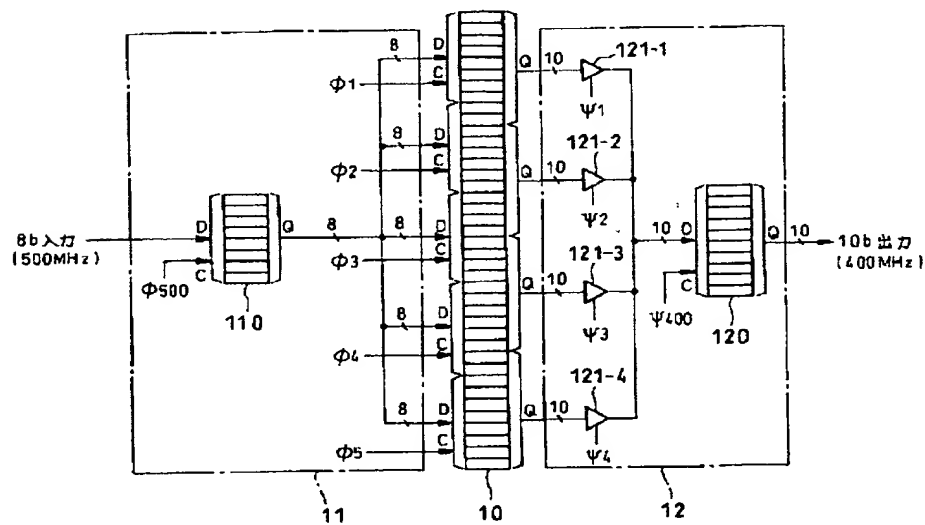
【図9】



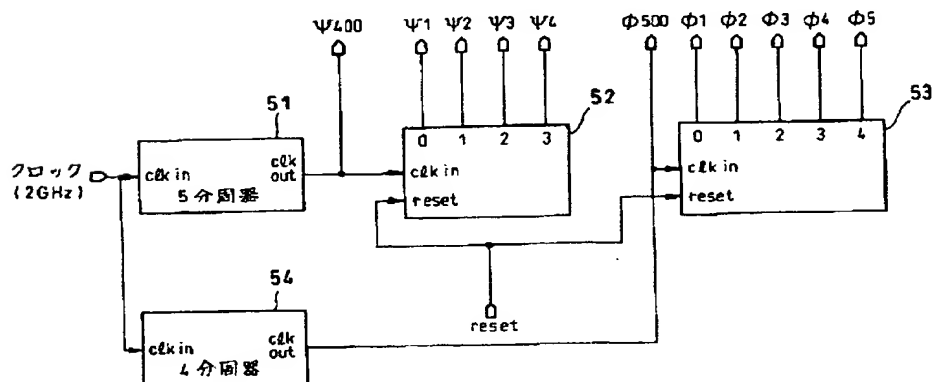
【図2】



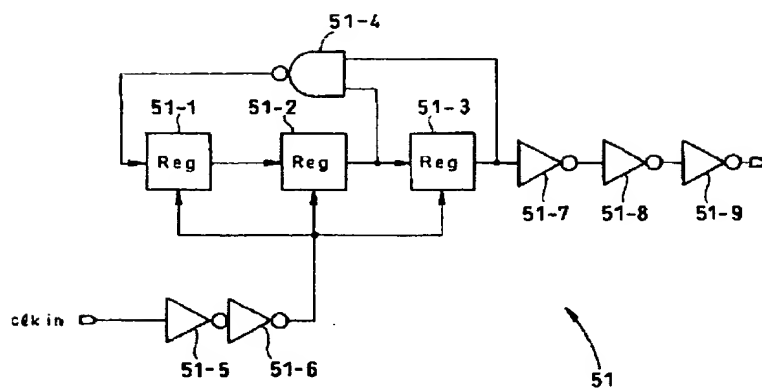
【図3】



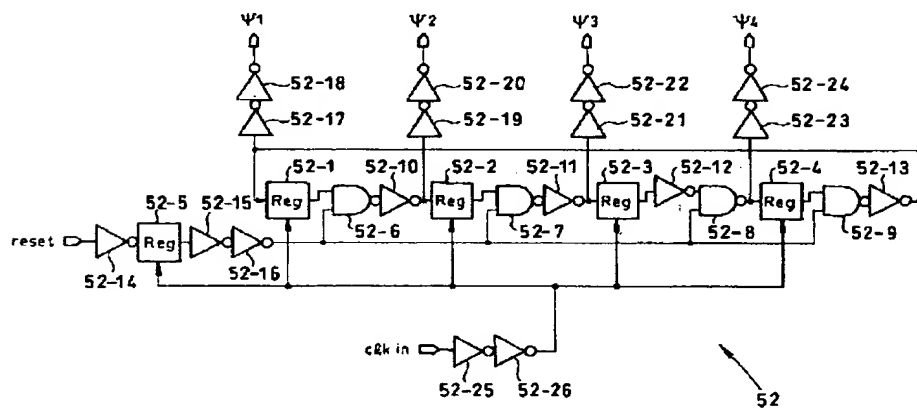
【図5】



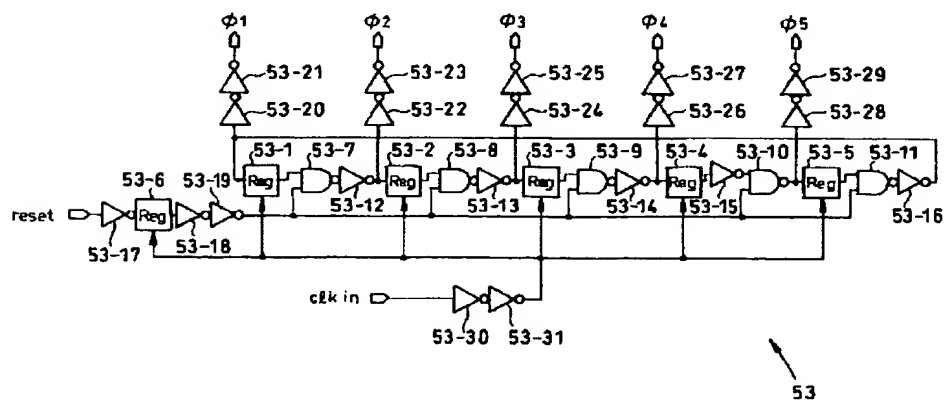
【図6】



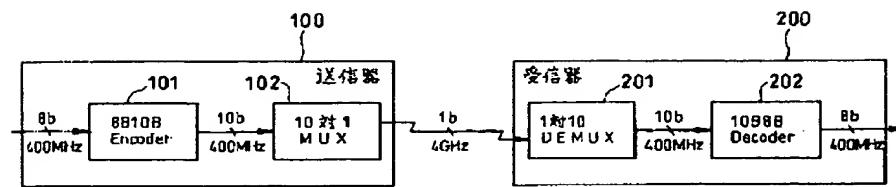
【図7】



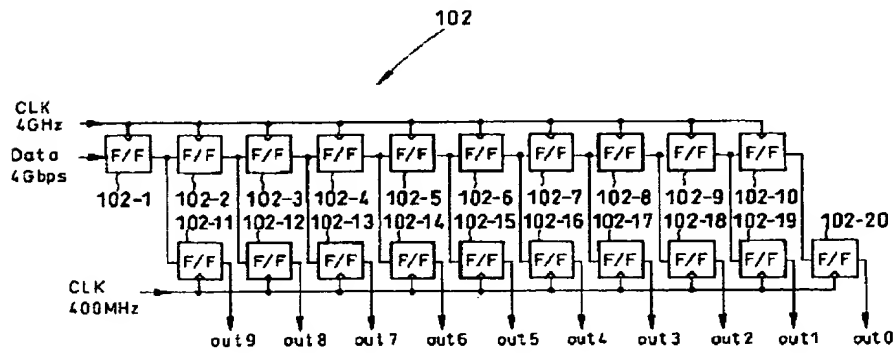
【図8】



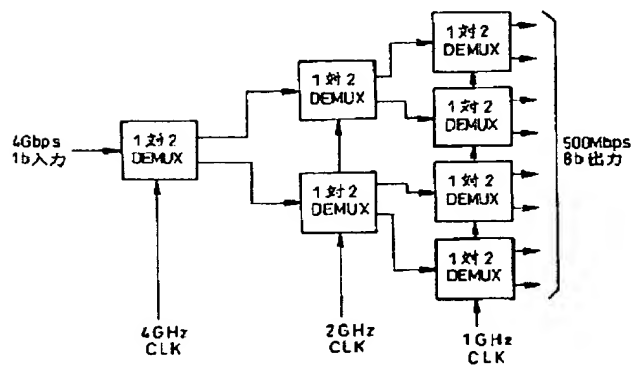
【図10】



【図11】



【図12】



This Page Blank (uspto)